

COPY OF PAGE  
ORIGINALLY FILED

RECEIVED  
APR 15 2002  
OFFICE OF PETITIONS  
67-02

Docket No.: 1999P1778

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Assistant Commissioner for Patents, Washington, D.C. 20231.

By:  Date: January 31, 2002

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Andreas Kux et al.  
Appl. No. : 10/002,925  
Filed : November 2, 2001  
Title : Method and Device for Securing a Multi-Dimensionally  
Constructed Chip Stack and Chip Configuration

CLAIM FOR PRIORITY

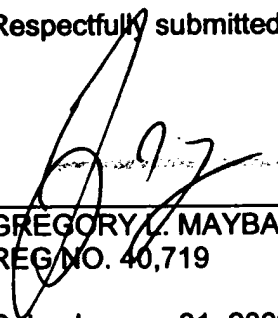
Hon. Commissioner of Patents and Trademarks,  
Washington, D.C. 20231

Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the European Patent Application EP 99 1087 68.5 filed May 3, 1999.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,

  
\_\_\_\_\_  
GREGORY L. MAYBACK  
REG. NO. 40,719

Date: January 31, 2002

Lerner and Greenberg, P.A.  
Post Office Box 2480  
Hollywood, FL 33022-2480  
Tel: (954) 925-1100  
Fax: (954) 925-1101

/mjb

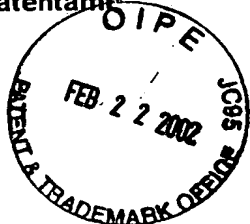




Eur päisches  
Patentamt

European  
Patent Office

Office européen  
des brevets



Bescheinigung

Certificate

Attestation

RECEIVED  
APR 15 2002  
OFFICE OF PETITIONS

Die angehefteten Unterla-  
gen stimmen mit der  
ursprünglich eingereichten  
Fassung der auf dem näch-  
sten Blatt bezeichneten  
europäischen Patentanmel-  
dung überein.

The attached documents  
are exact copies of the  
European patent application  
described on the following  
page, as originally filed.

Les documents fixés à  
cette attestation sont  
conformes à la version  
initialement déposée de  
la demande de brevet  
européen spécifiée à la  
page suivante.

Patentanmeldung Nr. Patent application No. Demande de brevet n°

99108768.5

Der Präsident des Europäischen Patentamts;  
Im Auftrag

For the President of the European Patent Office

Le Président de l'Office européen des brevets  
p.o.

I.L.C. HATTEN-HECKMAN

DEN HAAG, DEN  
THE HAGUE, 12/10/01  
LA HAYE, LE

22. 10. 1944

23. 10. 1944

24. 10. 1944

25. 10. 1944

26. 10. 1944

27. 10. 1944

28. 10. 1944

29. 10. 1944

30. 10. 1944

31. 10. 1944

32. 10. 1944

33. 10. 1944

34. 10. 1944

35. 10. 1944

36. 10. 1944

37. 10. 1944



Europäisches  
Patentamt

European  
Patent Office

Office eur péen  
des brevets

**Blatt 2 der Bescheinigung  
Sheet 2 of the certificate  
Page 2 de l'attestation**

Anmeldung Nr.:  
Application no.:  
Demande n°: 99108768.5

Anmeldetag:  
Date of filing: 03/05/99  
Date de dépôt:

Anmelder:  
Applicant(s):  
Demandeur(s):  
SIEMENS AKTIENGESELLSCHAFT  
80333 München  
GERMANY

Bezeichnung der Erfindung:  
Title of the invention:  
Titre de l'invention:

Verfahren und Vorrichtung zur Sicherung eines mehrdimensional aufgebauten Chipstapels

In Anspruch genommene Priorität(en) / Priority(ies) claimed / Priorité(s) revendiquée(s)

Staat:  
State:  
Pays:

Tag:  
Date:  
Date:

Aktenzeichen:  
File no.  
Numéro de dépôt:

Internationale Patentklassifikation:  
International Patent classification:  
Classification internationale des brevets:

H01L23/58, H01L25/065, H01L21/66

Am Anmeldetag benannte Vertragsstaaten:  
Contracting states designated at date of filing: AT/BE/CH/CY/DE/DK/ES/FI/FR/GB/GR/IE/IT/LI/LU/MC/NL/PT/SE/TR  
Etats contractants désignés lors du dépôt:

Bemerkungen:  
Remarks:  
Remarques:

1. The first part of the document is a letter from the President of the United States to the Congress, dated January 3, 1862. It is a very important document, as it contains the President's annual message to Congress.

2. The second part of the document is a report from the Secretary of the Interior, dated January 10, 1862. It contains information about the land and mineral resources of the United States, and the progress of the various departments under his control.

3. The third part of the document is a report from the Secretary of the Treasury, dated January 15, 1862. It contains information about the financial condition of the United States, and the progress of the various departments under his control.

4. The fourth part of the document is a report from the Secretary of the War, dated January 20, 1862. It contains information about the military condition of the United States, and the progress of the various departments under his control.

5. The fifth part of the document is a report from the Secretary of the Navy, dated January 25, 1862. It contains information about the naval condition of the United States, and the progress of the various departments under his control.

6. The sixth part of the document is a report from the Secretary of the Department of the Interior, dated February 1, 1862. It contains information about the land and mineral resources of the United States, and the progress of the various departments under his control.

03. Mai 1999

1

## Beschreibung

Verfahren und Vorrichtung zur Sicherung eines mehrdimensional  
aufgebauten Chipstapels

5

Die vorliegende Erfindung betrifft ein Verfahren und eine Vorrichtung zur Sicherung eines mehrdimensional aufgebauten Chipstapels, welcher eine Mehrzahl an jeweiligen Kontaktflächen miteinander verbundener Teilchips, von denen zumindest  
10 einer entsprechende Funktionskomponenten aufweist.

Unter Funktionskomponenten sind dabei in die Teilchips integrierte mikroelektronische Schaltungen oder mikromechanische Komponenten jeglicher Art zu verstehen. Als Chip kann z.B.  
15 ein Wafer oder ein Teil eines Wafers aus einem Halbleitermaterial oder einem sonstigen geeigneten Material verstanden werden.

Die der vorliegenden Erfindung zugrundeliegende Problematik besteht allgemein darin, bei solch einem Chipstapel sicherzustellen, daß die Verbindung zwischen den einzelnen Teilchips an den jeweiligen Kontaktflächen nicht gelöst werden kann, ohne daß eine solche Beschädigung von einer entsprechenden Funktionskomponente feststellbar ist. Läßt sich eine solche  
20 Beschädigung nämlich feststellen, können entsprechende Gegenmaßnahmen getroffen werden, die beispielsweise ein weiteres Betreiben einer oder mehrerer Funktionskomponenten verhindern.

Bisher wurden in dieser Richtung wenig Überlegungen zur Sicherung eines mehrdimensional aufgebauten Chipstapels angestrengt, da dreidimensionale Chipverbindungen noch keine nennenswerte Verbreitung aufweisen.

35 Daher ist es Aufgabe der vorliegenden Erfindung, ein Verfahren und eine Vorrichtung zur Sicherung eines mehrdimensional aufgebauten Chipstapels der eingangs genannten Art zu schaf-

## 2

fen, welche physikalische Angriffe auf sicherheitskritische Chips, wie z.B. Chipkarten bzw. Codekarten, erkennbar machen können. Insbesondere das Auftrennen des Chipstapels, um auf Teile des Chips zuzugreifen, soll detektierbar sein.

5

Erfindungsgemäß wird diese Aufgabe durch das in Anspruch 1 angegebene Verfahren bzw. die in Anspruch 6 angegebene Vorrichtung gelöst.

- 10 Die der vorliegenden Erfindung zugrundeliegende Idee besteht darin, daß ein multidimensionaler Leitungsmäander im Chipverbund integriert wird, durch den ständig oder in bestimmten Zeitabständen elektrische Signale von einem ersten Punkt zu einem zweiten Punkt gesendet werden. Im einfachsten Fall läßt
- 15 sich, wenn die Signale am zweiten Punkt ankommen bzw. unverändert ankommen, daraus auf die Unversehrtheit des dazwischenliegenden Signalwegs schließen. In bezug auf den jeweiligen Teilchip vertikale Durchkontaktierungen werden dazu verwendet, planare Leiterbahnmuster verschiedener Teilchips
- 20 zu verbinden und so einen durch alle aufeinandermontierten Teilchips laufenden Signalweg zu schaffen.

Dies hat den Vorteil, daß die Integration der erfindungsgemäßen Sicherungsvorrichtung im Rahmen üblicher Prozeßschritte, insbesondere Metallisierung und Durchkontaktierung, stattfinden kann.

25

In den Unteransprüchen finden sich vorteilhafte Weiterbildungen und Verbesserungen des in Anspruch 1 angegebenen Verfahrens bzw. der in Anspruch 6 angegebenen Vorrichtung.

30

Gemäß einer bevorzugten Weiterbildung werden ein oder mehrere Funktionskomponenten deaktiviert, falls eine Beschädigung des Chipstapels festgestellt wird. Somit kann verhindert werden, daß geheimzuhaltende Informationen von Unbefugten ausgespäht werden.

35



## 3

Gemäß einer weiteren bevorzugten Weiterbildung wird ein von der Sendeeinrichtung zur Empfangseinrichtung verlaufender durchgehender elektrischer Referenzsignalweg gebildet und darüber gleichzeitig mit dem Senden des elektrischen Signals ein elektisches Referenzsignal gesendet. Dies stellt sicher, daß dem Empfänger kein künstlicher Sender anstelle des echten Senders vorgetäuscht werden kann.

Gemäß einer weiteren bevorzugten Weiterbildung werden die Sendeeinrichtung und die Empfangseinrichtung in verschiedenen Teilchips vorgesehen. Damit können Sender und Empfänger nicht über eine Brücke im gleichen Teilchip kurzgeschlossen werden.

Gemäß einer weiteren bevorzugten Weiterbildung werden mehrere Paare von Sendeeinrichtung und Empfangseinrichtung in verschiedenen Teilchips vorgesehen. Somit können sich die Teilchips wechselweise überprüfen.

Gemäß einer weiteren bevorzugten Weiterbildung sind die jeweiligen Leiterbahnen in den Teilchips planar ausgebildet. So lassen sich ohnehin vorhandene Metallisierungsschichten für die Sicherungsvorrichtung verwenden.

Gemäß einer weiteren bevorzugten Weiterbildung sind Leiterbahnen zwischen den Teilchips in einer Metallisierungsschicht zur Verbindung jeweils zweier Teilchips ausgebildet. Somit erfüllt die Metallschicht zur vertikalen Verbindung, z.B. Lotverbindung, eine Doppelfunktion.

Gemäß einer weiteren bevorzugten Weiterbildung ist insbesondere für den Fall über strukturiertes Lotmetall verbunden sind, eine Metallisierungsschicht ohne Verbindungsfunktion einseitig als Abschirmung auf einem außen liegenden Teilchip vorgesehen.

Gemäß einer weiteren bevorzugten Weiterbildung ist der Signalweg vertikal durch die Teilchips laufend mäanderförmig

4

ausgebildet. Im einfachsten Fall ist der Mäander in einer vertikalen Ebene ausgebildet. Es sind aber auch kompliziertere Raumformen entsprechend der jeweiligen Chipaufteilung vorstellbar.

5

Gemäß einer weiteren bevorzugten Weiterbildung sind Leiterbahnen in einem oder mehreren Teilchips, insbesondere an den Stirnflächen des Chipstapels, planar mäanderförmig ausgebildet. Damit lassen sich engmaschige Abschirmungen an größeren freien Flächenbereichen erzielen.

10

Ausführungsbeispiele der Erfindung sind in den Zeichnungen dargestellt und in der nachfolgenden Beschreibung näher erläutert.

15

Es zeigen:

Fig. 1 eine schematische Darstellung eines aus drei Teilchips aufgebauten Chipstapels mit einer Sicherungseinrichtung gemäß einem ersten Ausführungsbeispiel der vorliegenden Erfindung;

20

Fig. 2 eine schematische Darstellung eines aus drei Teilchips aufgebauten Chipstapels mit einer Sicherungseinrichtung gemäß einem zweiten Ausführungsbeispiel der vorliegenden Erfindung;

25

Fig. 3 eine schematische Darstellung eines aus drei Teilchips aufgebauten Chipstapels mit einer Sicherungseinrichtung gemäß einem dritten Ausführungsbeispiel der vorliegenden Erfindung;

30

Fig. 4 eine schematische Darstellung eines aus drei Teilchips aufgebauten Chipstapels mit einer Sicherungseinrichtung gemäß einem vierten Ausführungsbeispiel der vorliegenden Erfindung;

35

## 5

Fig. 5 eine schematische Darstellung eines aus drei Teilchips aufgebauten Chipstapels mit einer Sicherungseinrichtung gemäß einem fünften Ausführungsbeispiel der vorliegenden Erfindung; und

5

Fig. 6 eine schematische Darstellung eines aus drei Teilchips aufgebauten Chipstapels mit einer Sicherungseinrichtung gemäß einem sechsten Ausführungsbeispiel der vorliegenden Erfindung.

10

In den Figuren bezeichnen gleiche Bezugszeichen gleiche oder funktionsgleiche Elemente.

Fig. 1 ist eine schematische Darstellung eines aus drei Teilchips aufgebauten Chipstapels mit einer Sicherungseinrichtung gemäß einem ersten Ausführungsbeispiel der vorliegenden Erfindung.

In Figur 1 bezeichnen TC1, TC2, TC3 einen ersten, zweiten, bzw. dritten Teilchip, welche in Form eines Stapels miteinander an jeweiligen Kontaktflächen K12, K23 verbunden sind, z.B. verlötet sind. Die jeweiligen Teilchips enthalten sicherheitssensitive Funktionskomponenten, welche aus Gründen der Vereinfachung in den Figuren nicht dargestellt sind.

LB1, LB2 und LB3 bezeichnen in den entsprechenden Teilchips TC1, TC2, TC3 vorgesehene Leiterbahnen, welche in bekannter Planartechnologie erstellt sind und im gezeigten Beispiel unter der jeweiligen Oberfläche des betreffenden Teilchips vergraben sind (beispielsweise unter einer Isolationsschicht).

Zur Verbindung der Leiterbahnen sind Durchkontaktierungen V (Vias mit leitender Füllung) durch die Teilchips TC1, TC2, TC3 vorgesehen, welche dafür sorgen, daß ein durch alle Teilchips verlaufender durchgehender elektrischer Signalweg gebildet wird. An einem ersten Ende des elektrischen Signalwegs vorgesehen ist eine Sendeeinrichtung S, und an einem zweiten

Ende des elektrischen Signalwegs vorgesehen ist eine Empfangseinrichtung E.

Zur Sicherung des derart aufgebauten mehrdimensionalen  
5 Typstapels wird nun im Betrieb ein elektrisches Signal unter  
regelmäßigen Abständen, z.B. im Sekundentakt, von der Sendeeinrichtung S zu der Empfangseinrichtung E geleitet. Die Empfangseinrichtung enthält eine nicht dargestellt intelligente  
10 Schaltung, welche eine Beschädigung des Chipstapels feststellt, wenn das elektrische Signal SI in der Empfangseinrichtung E nicht empfangbar ist. Diese Feststellungseinrichtung sorgt weiterhin dafür, daß bei Feststellung einer Beschädigung des Chipstapels sicherheitsrelevante Funktionskomponenten in den Teilchips TC1, TC2, TC3 deaktiviert werden, falls eine  
15 Beschädigung des Chipstapels festgestellt wird. Beispielsweise kann eine solche Deaktivierung ein Löschen von Speicherinhalten von Speicherkomponenten sein.

Die Art des elektrischen Signals ist im wesentlichen beliebig.  
20 Es muß nur ein Muster sein, dessen Struktur der Empfänger kennt.

Der in Figur 1 gezeigte durchgehende Signalweg hat die Form eines in einer vertikalen Ebene liegenden Mäanders. Um die  
25 Sicherung gegebenenfalls in die dritte Dimension auszudehnen, können entweder mehrere solcher Sicherungsvorrichtungen nebeneinander verwendet werden oder können die Leiterbahnen im jeweiligen Teilchip in die dritte Dimension (Tiefe) verlaufend ausgebildet sein.

30 Fig. 2 ist eine schematische Darstellung eines aus drei Teilchips aufgebauten Chipstapels mit einer Sicherungseinrichtung gemäß einem zweiten Ausführungsbeispiel der vorliegenden Erfindung.

35 Bei der in Figur 2 gezeigten zweiten Ausführungsform ist zusätzlich ein von der Sendeeinrichtung S zu der Empfangsein-

richtung E verlaufender durchgehender elektrischer Referenz-  
signalweg gebildet, über den gleichzeitig mit dem Senden des  
elektrischen Signals SI ein elektrisches Referenzsignal R ge-  
sendet wird. Somit ist das Kriterium für die Unversehrtheit  
5 des Chipstapels nicht nur die reine Empfangbarkeit des Si-  
gnals SI am Empfänger, sondern auch die gleichzeitige Emp-  
fangbarkeit des Referenzsignals R. Damit läßt sich sicher-  
stellen, daß der Empfangseinrichtung E keine künstliche Sen-  
deeinrichtung anstatt der echten Sendeeinrichtung S vorge-  
10 täuscht wird.

Es sei erwähnt, daß der Referenzsignalweg analog wie der er-  
ste Signalweg mit Leiterbahnen und Durchkontaktierungen auf-  
gebaut werden kann und nur aus Gründen der Vereinfachung hier  
15 nur als schematische Linie dargestellt ist.

Fig. 3 ist eine schematische Darstellung eines aus drei Teil-  
chips aufgebauten Chipstapels mit einer Sicherungseinrichtung  
gemäß einem dritten Ausführungsbeispiel der vorliegenden Er-  
20 findung.

Bei der in Figur 3 dargestellten dritten Ausführungsform sind  
die Sendeeinrichtung S und die Empfangseinrichtung E in ver-  
schiedenen Teilchips TC1 bzw. TC3 untergebracht. Damit läßt  
25 sich verhindern, daß sie über eine Brücke zwischen Durchkon-  
taktierungen des Teilchips TC1 kurzgeschlossen werden.

Fig. 4 ist eine schematische Darstellung eines aus drei Teil-  
chips aufgebauten Chipstapels mit einer Sicherungseinrichtung  
30 gemäß einem vierten Ausführungsbeispiel der vorliegenden Er-  
findung.

Bei der in Figur 4 gezeigten vierten Ausführungsform sind  
zwei Signalwege mit einer jeweiligen Sendeeinrichtung S1, S2,  
35 und einer jeweiligen Empfangseinrichtung E1, E2 vorgesehen.  
Hierbei überprüfen sich die Teilchips wechselseitig durch Sen-  
den der Signale SI1, R1 bzw. SI2, R2 in entgegengesetzten

Richtungen. Dies erhöht die Wirksamkeit der Sicherungsvorrichtung.

Fig. 5 ist eine schematische Darstellung eines aus drei Teilchips aufgebauten Chipstapels mit einer Sicherungseinrichtung gemäß einem fünften Ausführungsbeispiel der vorliegenden Erfindung.

Bei der in Figur 5 gezeigten Ausführungsform sind die Sendeeinrichtung S und die Empfangseinrichtung E im mittleren Teilchip TC2 untergebracht. Im Gegensatz zu oben beschriebener Ausführungsform sind bei dieser Ausführungsform zweidimensionale Mäander-Leiterbahnenmuster M1, M2 in den Signalweg mit einbezogen. Diese Mäander-Leiterbahnenmuster sind an der oberen bzw. unteren Stirnfläche des Chipstapels vorgesehen und dienen zum Schutz dieser beiden großen freiliegenden Stirnflächen. Ansonsten ist die Funktion der Sicherungsvorrichtung nach diesem fünften Ausführungsbeispiel gleich wie diejenige der bereits oben beschriebenen Ausführungsbeispiele.

Fig. 6 ist eine schematische Darstellung eines aus drei Teilchips aufgebauten Chipstapels mit einer Sicherungseinrichtung gemäß einem sechsten Ausführungsbeispiel der vorliegenden Erfindung.

Bei der in Figur 6 gezeigten Ausführungsform sind die drei Teilchips TC1, TC2, TC3 im noch nicht miteinander verbundenen Zustand dargestellt, wobei die späteren Kontaktflächen K12, K23 schematisch durch eine gestrichelte Linie und entsprechende Pfeile zusammenfügend dargestellt sind.

In Figur 6 bezeichnen M1O eine obere Metallisierung des ersten Teilchips TC1, M2U eine untere Metallisierung des zweiten Teilchips TC2, M2O eine obere Metallisierung des zweiten Teilchips TC2, und M3U eine untere Metallisierung des dritten Teilchips TC3. Die jeweiligen an den Kontaktflächen K12 und K23 gegenüber-

liegenden Metallisierungen weisen die gleiche Struktur auf, wobei in der Mitte eine jeweilige mäanderförmige Struktur MM1 bzw. MM2 vorgesehen ist. Die in Figur 6 gezeigte sechste Ausführungsform nutzt die Tatsache aus, daß bei vertikalen Chipverbindungsverfahren zwischen dem oberen und unteren Teilchip eine leitfähige Schicht entsteht, sofern an den entsprechenden Stellen Verbindungsmetall, wie z.B. Lot, stehen bleibt, und nicht durch eine Strukturierung mit nachfolgendem Ätzschritt entfernt wird.

Bei dieser Ausführungsform wird die zur Verbindung zwischen den Teilchips verwendete Metallschicht dazu verwendet, ein jeweiliges mäanderförmiges Leiterbahnmuster MM1 bzw. MM2 auszubilden, da es Teil des Signalwegs ist, welcher durch sämtliche Teilchips TC1, TC2, TC3 verläuft. Somit ist in den Bereichen, die nicht unmittelbar zur vertikalen Kontaktierung verwendet werden eine strukturierte Abschirmung zwischen den Teilchips ausgebildet. Sie schützt zusätzlich zu den Elementen der darüberliegenden aktiven Schicht die darunterliegende Schaltungsteile. Ihre Freiheit ist in gewisser Weise durch die notwendige Justage der Teilchips zueinander begrenzt. Dafür entsteht sie sofern man nicht die vertikale Durchkontaktierung extrem dicht ist, ohne Zusatzaufwand bei der vertikalen Integration.

Insbesondere kann ein Lotmetall noch einseitig auf die Unterseite des untersten Chips aufgebracht werden und die Schaltung so allseitig geschützt werden.

Bei der gezeigten sechsten Ausführungsform sind die Sendeeinrichtung S und die Empfangseinrichtung E im mittleren Teilchip untergebracht. Der Signalweg verläuft von der Sendeeinrichtung S nach oben in die mäanderförmige Leiterbahnschicht MM2, von dort über die Durchkontaktierung V in die mäanderförmige Leiterbahnschicht MM1 und von dort senkrecht nach oben zur Empfangseinrichtung E.

.10

Obwohl die vorliegende Erfindung vorstehend anhand bevorzugter Ausführungsbeispiele beschrieben wurde, ist sie darauf nicht beschränkt, sondern auf vielfältige Art und Weise modifizierbar.

5

Insbesondere ist die vorliegende Erfindung nicht auf drei miteinander verbundene Teilchips beschränkt, sondern kann auf eine beliebige Kombination von Teilchips angewendet werden. Auch ist die flächen- oder raummäßige Gestaltung des durchgehenden Signalwegs entsprechend der geometrischen Verhältnisse der Einzelchips beliebig aufteilbar.

10

Die Sendeeinrichtung und die Empfangseinrichtung können sich in einem der Teilchips befinden, können aber ebenfalls außerhalb der Chips vorgesehen sein, beispielsweise in einer Fassung oder Einspannung des Chips.

15

Für den Fall, daß sich z.B. aus technischen Gründen am Chip keine rückseitige Abschirmung anbringen läßt, kann ein Extra-Chip nur mit Abschirmung, aber ohne Funktionskomponenten angefügt werden.

20



EPO-Munich  
52

03. Mai 1999

11

## Patentansprüche

1. Verfahren zur Sicherung eines mehrdimensional aufgebauten Chipstapels, welcher eine Mehrzahl an jeweiligen Kontakt-  
5 flächen (K12, K23) miteinander verbundener Teilchips (TC1, TC2, TC3), von denen zumindest einer entsprechende Funktionskomponenten enthält, aufweist, mit den Schritten:

10 Vorsehen von jeweiligen Leiterbahnen (LB1, LB2, LB3) in den Teilchips (TC1, TC2, TC3);

Vorsehen von Durchkontaktierungen (V) an den jeweiligen Kontaktflächen (K12, K23), welche jeweils Leiterbahnen verschiedener Teilchips (TC1, TC2, TC3) miteinander verbinden, so daß  
15 ein durch die Teilchips (TC1, TC2, TC3) verlaufender durchgehender elektrischer Signalweg gebildet wird;

Senden eines elektrischen Signals (SI; SI1, SI2) von einer an einem ersten Ende des elektrischen Signalwegs vorgesehenen  
20 Sendeeinrichtung (S; S1, S2) zu einer an einem zweiten Ende des elektrischen Signalwegs vorgesehenen Empfangseinrichtung (E; E1, E2); und

25 Feststellen der Beschädigung des Chipstapels, wenn das elektrische Signal (SI; SI1, SI2) nicht empfangbar ist.

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß ein oder mehrere Funktionskomponenten deaktiviert werden, falls eine Beschädigung des Chipstapels festgestellt wird.  
30

3. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß ein von der Sendeeinrichtung (S; S1, S2) zur Empfangseinrichtung (E; E1, E2) verlaufender durchgehender elektrischer Referenzsignalweg gebildet wird und darüber gleichzeitig mit dem Senden des elektrischen Signals (SI; SI1, SI2)  
35 ein elektisches Referenzsignal (R; R1, R2) gesendet wird.

4. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Sendeeinrichtung (S; S1, S2) und die Empfangseinrichtung (E; E1, E2) in verschiedenen Teilchips vorgesehen werden.

5. Verfahren nach Anspruch 3 oder 4, dadurch gekennzeichnet, daß mehrere Paare von Sendeeinrichtung (S; S1, S2) und Empfangseinrichtung (E; E1, E2) in verschiedenen Teilchips vorgesehen werden.

6. Vorrichtung zur Sicherung eines mehrdimensional aufgebauten Chipstapels, welcher eine Mehrzahl an jeweiligen Kontaktflächen (K12, K23) miteinander verbundener Teilchips (TC1, TC2, TC3) mit entsprechenden Funktionskomponenten aufweist, mit:

jeweiligen Leiterbahnen (LB1, LB2, LB3) in den Teilchips (TC1, TC2, TC3); und

Durchkontaktierungen (V) an den jeweiligen Kontaktflächen (K12, K23), welche jeweils Leiterbahnen verschiedener Teilchips (TC1, TC2, TC3) miteinander verbinden, so daß ein durch die Teilchips (TC1, TC2, TC3) verlaufender durchgehender elektrischer Signalweg gebildet ist.

7. Vorrichtung nach Anspruch 6, gekennzeichnet durch eine an einem ersten Ende des elektrischen Signalwegs vorgesehene Sendeeinrichtung (S; S1, S2) und eine an einem zweiten Ende des elektrischen Signalwegs vorgesehene Empfangseinrichtung (E; E1, E2); und eine Feststellungseinrichtung zum Feststellen der Beschädigung des Chipstapels, wenn das elektrische Signal (SI; SI1, SI2) nicht empfangbar ist.

8. Vorrichtung nach Anspruch 7, dadurch gekennzeichnet, daß eine Deaktivierungseinrichtung zum Deaktivieren einer oder mehrerer Funktionskomponenten, falls die Feststellungsein-

richtung eine Beschädigung des Chipstapels festgestellt, vorgesehen ist.

9. Vorrichtung nach Anspruch 7 oder 8, dadurch gekennzeichnet, daß ein von der Sendeeinrichtung (S; S1, S2) zur Empfangseinrichtung (E; E1, E2) verlaufender durchgehender elektrischer Referenzsignalweg gebildet ist.
10. Vorrichtung nach einem der Ansprüche 7 bis 9, dadurch gekennzeichnet, daß die Sendeeinrichtung (S; S1, S2) und die Empfangseinrichtung (E; E1, E2) in verschiedenen Teilchips vorgesehen sind.
11. Vorrichtung nach Anspruch 9 oder 10, dadurch gekennzeichnet, daß mehrere Paare von Sendeeinrichtung (S; S1, S2) und Empfangseinrichtung (E; E1, E2) in verschiedenen Teilchips vorgesehen sind.
12. Vorrichtung nach einem der Ansprüche 6 bis 11, dadurch gekennzeichnet, daß die jeweiligen Leiterbahnen (LB1, LB2, LB3) in den Teilchips (TC1, TC2, TC3) planar ausgebildet sind.
13. Vorrichtung nach Anspruch 12, dadurch gekennzeichnet, daß Leiterbahnen (MM1, MM2) zwischen den Teilchips in einer Metallisierungsschicht zur Verbindung jeweils zweier Teilchips ausgebildet sind.
14. Vorrichtung nach Anspruch 13, dadurch gekennzeichnet, daß eine Metallisierungsschicht ohne Verbindungsfunktion einseitig als Abschirmung auf einem außen liegenden Teilchip vorgesehen ist.
15. Vorrichtung nach einem der Ansprüche 6 bis 14, dadurch gekennzeichnet, daß der Signalweg vertikal durch die Teilchips (TC1, TC2, TC3) laufend mäanderförmig ausgebildet ist.

14

16. Vorrichtung nach einem der Ansprüche 6 bis 15, dadurch gekennzeichnet, daß Leiterbahnen (M1, M2; MM1, MM2) in einem oder mehreren Teilchips, insbesondere an den Stirnflächen des Chipstapels, planar mäanderförmig ausgebildet sind.

03. Mai 1999

15

## Zusammenfassung

Verfahren und Vorrichtung zur Sicherung eines mehrdimensional aufgebauten Chipstapels

5

Die vorliegende Erfindung schafft ein Verfahren zur Sicherung eines mehrdimensional aufgebauten Chipstapels, welcher eine Mehrzahl an jeweiligen Kontaktflächen (K12, K23) miteinander verbundener Teilchips (TC1, TC2, TC3), von denen zumindest

10 einer entsprechende Funktionskomponenten enthält, aufweist, mit den Schritten: Vorsehen von jeweiligen Leiterbahnen (LB1, LB2, LB3) in den Teilchips (TC1, TC2, TC3); Vorsehen von Durchkontaktierungen (V) an den jeweiligen Kontaktflächen (K12, K23), welche jeweils Leiterbahnen verschiedener Teil-

15 chips (TC1, TC2, TC3) miteinander verbinden, so daß ein durch die Teilchips (TC1, TC2, TC3) verlaufender durchgehender elektrischer Signalweg gebildet wird; Senden eines elektrischen Signals (SI; SI1, SI2) von einer an einem ersten Ende des elektrischen Signalwegs vorgesehenen Sendeeinrichtung (S; S1, S2) zu einer an einem zweiten Ende des elektrischen

20 Signalwegs vorgesehenen Empfangseinrichtung (E; E1, E2); und Feststellen der Beschädigung des Chipstapels, wenn das elektrische Signal (SI; SI1, SI2) nicht empfangbar ist. Die Er-



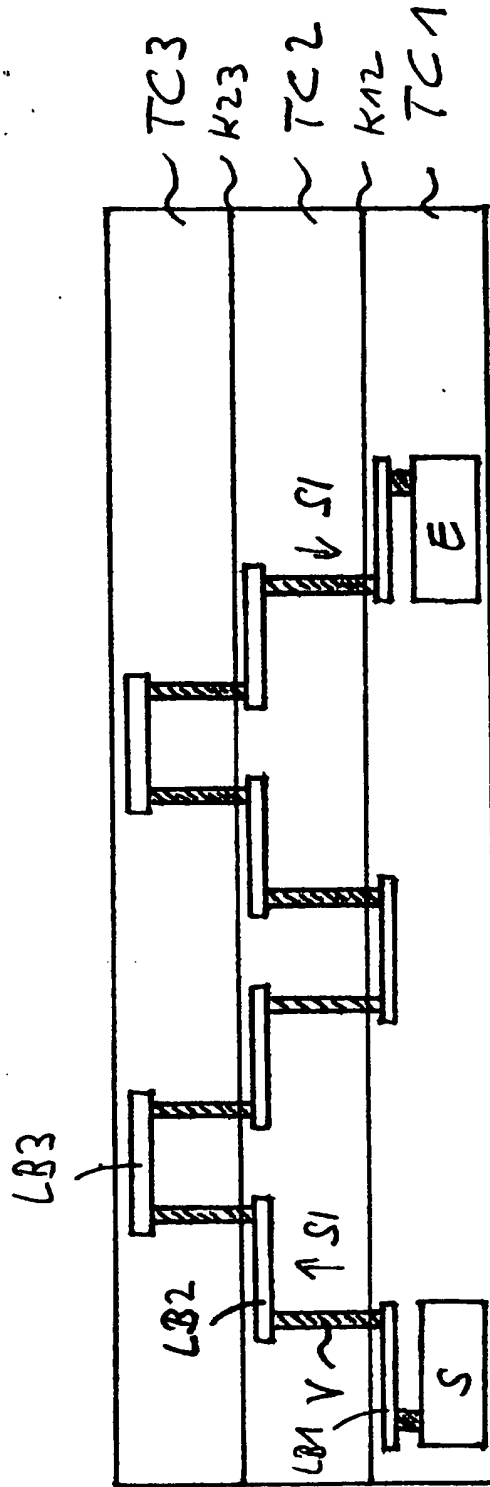
99 P 1778

1/6

EPO-Munich  
52

03. Mai 1999

Fig. 1



99 P 1778

2/6

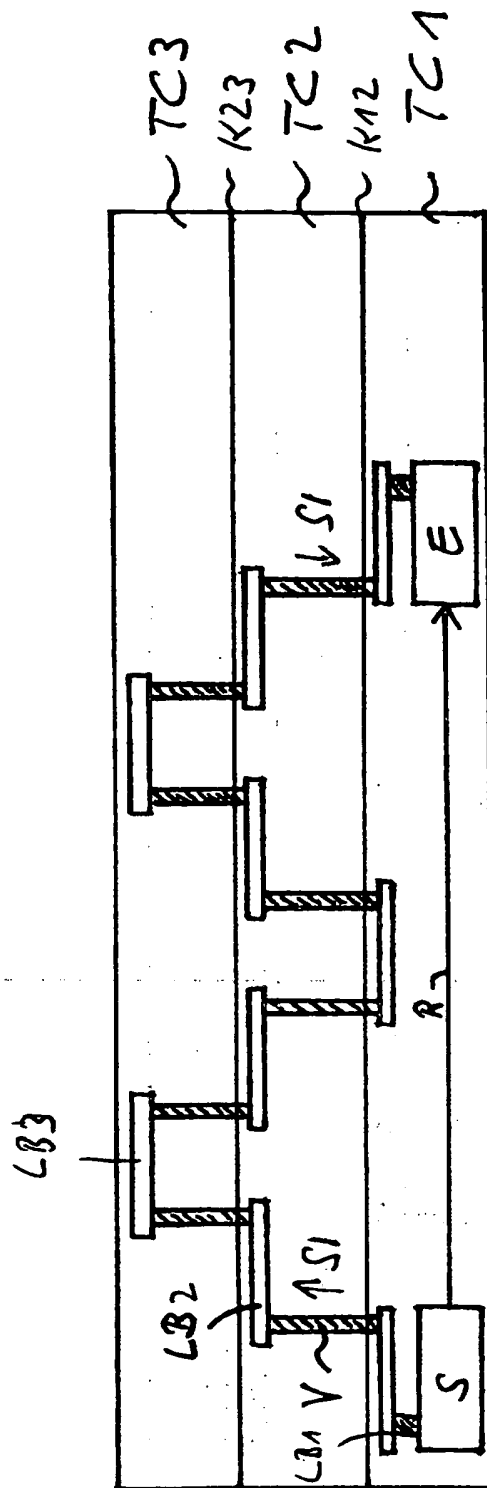


Fig. 2



99 P 1778

✓ 6

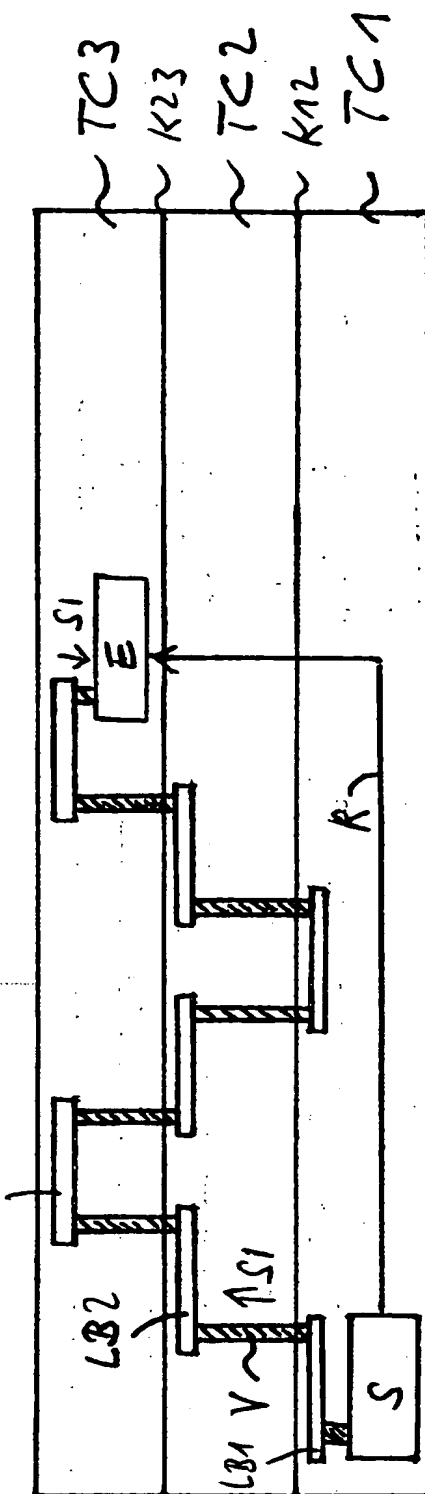


Fig. 3

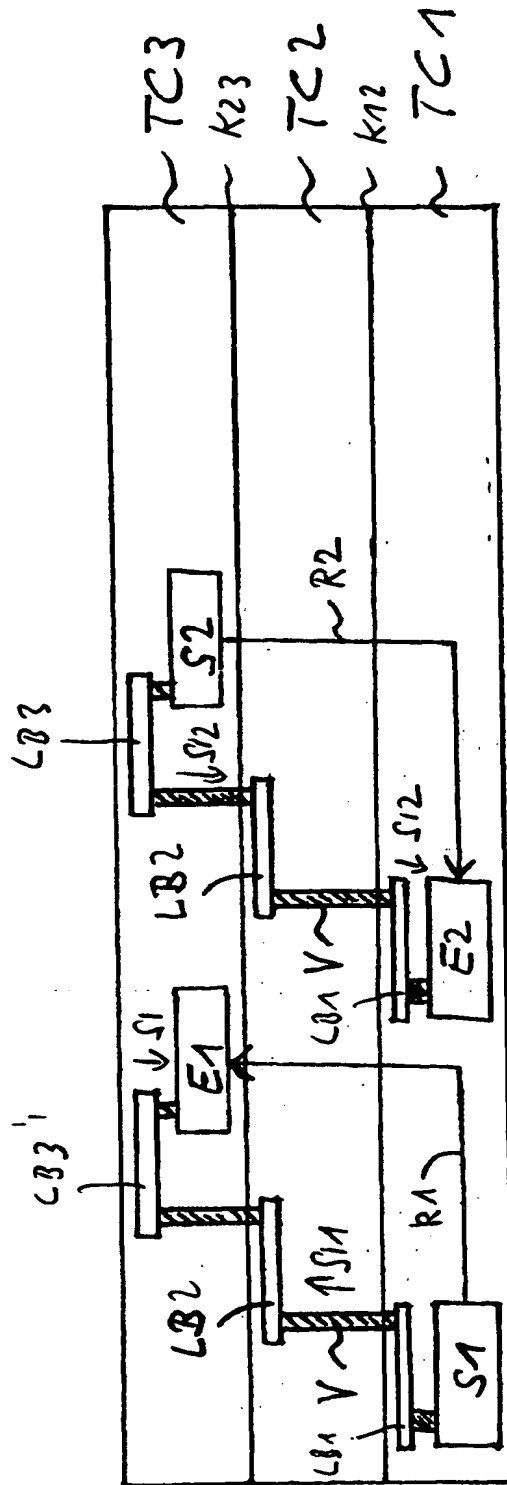


Fig. 4

5/6

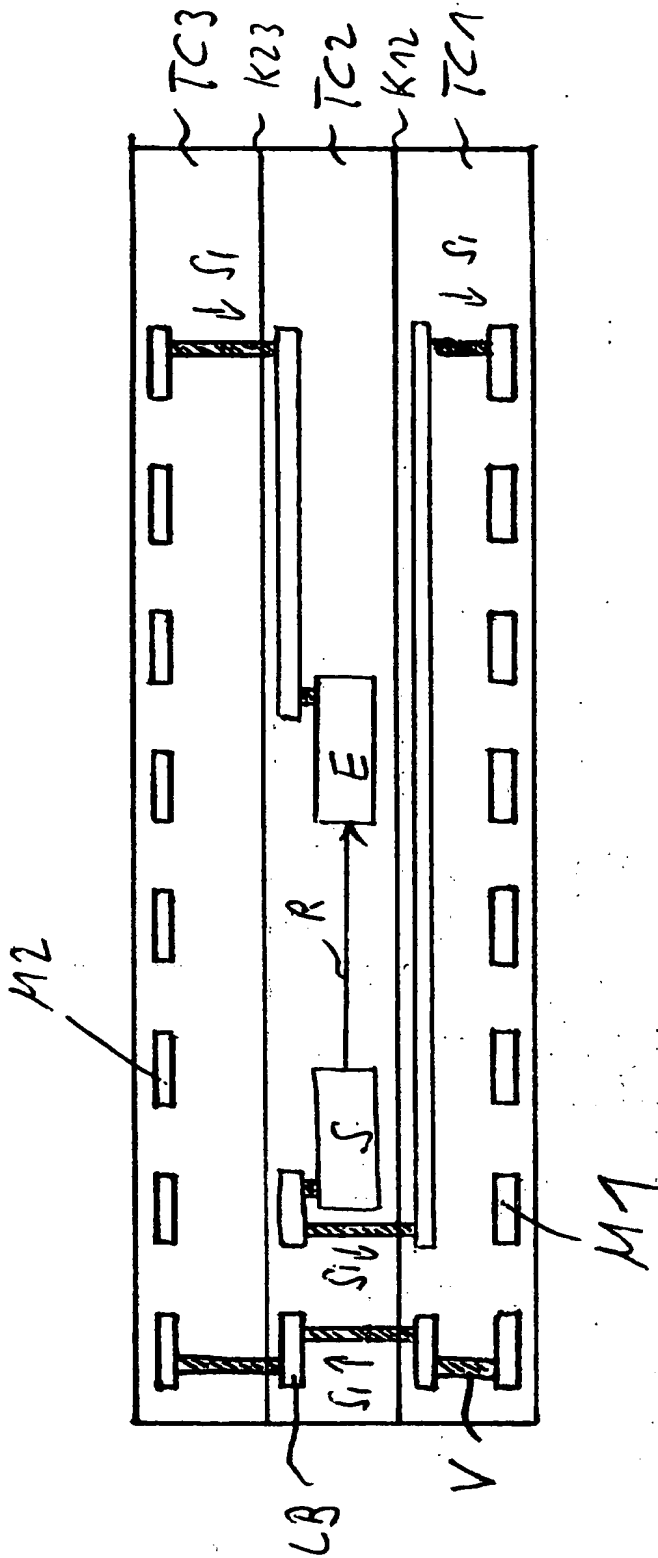


Fig. 5

99 P 1778

6/6

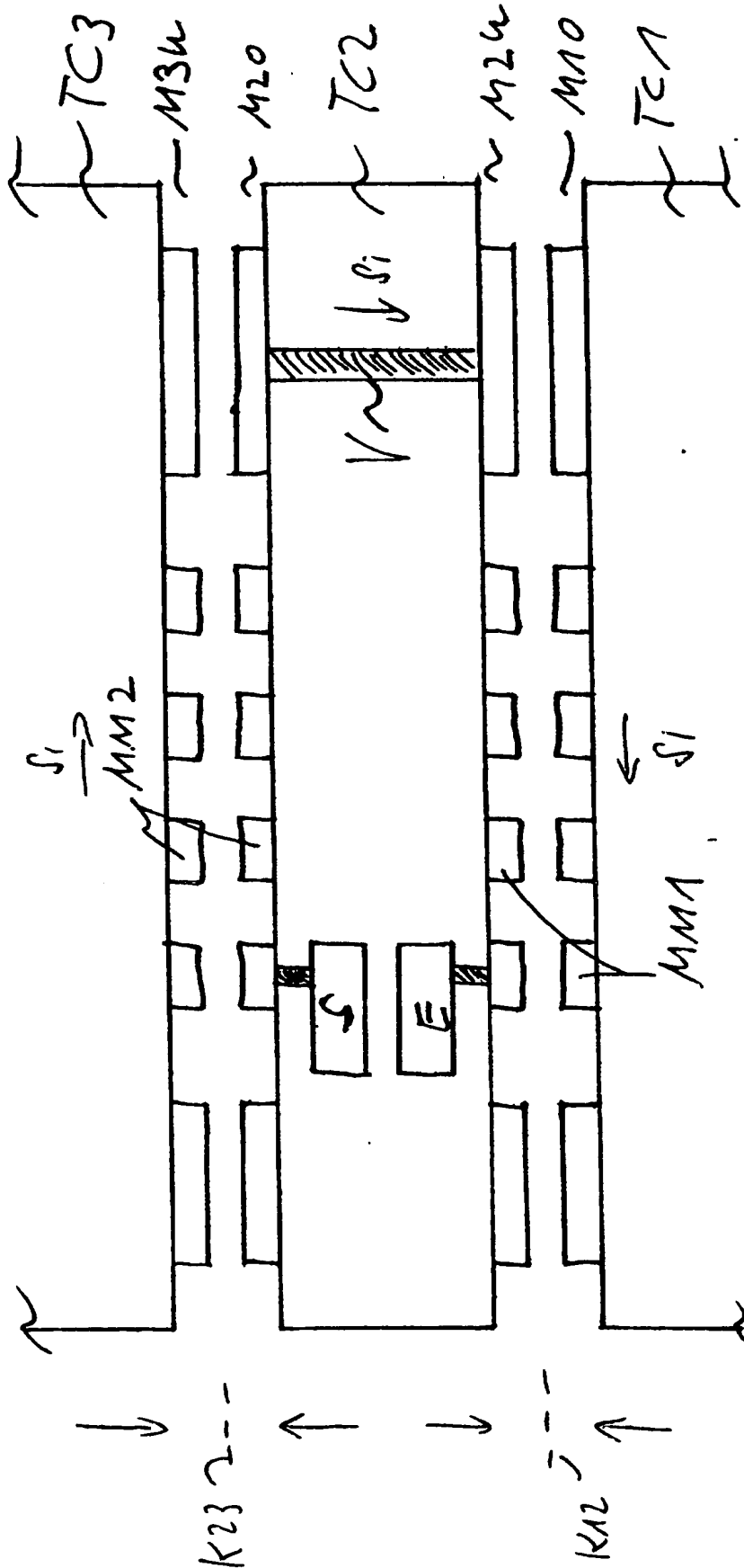


Fig. 6